

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04196315 A**

(43) Date of publication of application: **16.07.92**

(51) Int. Cl. **H01L 21/28**
H01L 21/302
H01L 27/108

(21) Application number: **02323324**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(22) Date of filing: **28.11.90**

(72) Inventor: **MIYAGAWA YASU HARU**

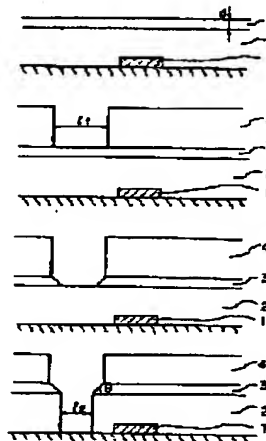
(54) FORMATION OF FINE CONTACT HOLE OF SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To make it possible to form a fine contact hole by a method wherein a resist pattern, larger than the target contact hole diameter, is formed on a polysilicon layer, the polysilicon layer is etched in taper form, and a silicon oxide film is anisotropically etched using the above-mentioned taper.

CONSTITUTION: After polysilicon 3 has been deposited on a silicon oxide film 2, a resist pattern 4, which is larger than the target contact hole l_2 , is formed and the polysilicon pattern 4 is etched in taper shape using the resist 4 as a mask. Also, the silicon oxide film 2 is anisotropically etched, and the contact hole is etched using the above-mentioned taper. As a result, the contact hole, having the diameter of $0.5\mu\text{m}$ or smaller, can be formed even when the existing fine stepper is utilized by combining the thickness of the polysilicon and the condition of etching.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報(A)

平4-196315

⑤ Int. Cl.⁵H 01 L 21/28
21/302
27/108

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月16日

L 7738-4M
M 7353-4M

8624-4M H 01 L 27/10 3 2 5 P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の微細コンタクトホール形成方法

⑮ 特 願 平2-323324

⑯ 出 願 平2(1990)11月28日

⑰ 発 明 者 宮 川 康 陽 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑲ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

半導体装置の微細コンタクトホール形成方法

2. 特許請求の範囲

半導体基板に形成される層間絶縁用シリコン酸化膜上にポリシリコン層を堆積し、目標とするコンタクト径よりも大きな寸法のレジストパターンをこのポリシリコン層の上に形成し、それを用いて上記ポリシリコン層をテーパ状にエッチングし、このテーパを用いてシリコン酸化膜を異方的にエッチングしてコンタクトホールを形成することを特徴とする半導体装置の微細コンタクトホールの形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体装置、特に半導体記憶装置における微細コンタクトホールの形成方法に関するものである。

(従来技術)

半導体記憶装置の高集積度化にはコンタクトホ

ール径の縮小が必要不可欠であり代表的な半導体記憶装置である4メガビットダイナミックランダムアクセスメモリー(4 M^b DRAM)では0.8 μm程度、16 M^b DRAMでは0.5 μm程度、さらに64 M^b DRAMでは0.35 μm程度のコンタクトホールが要求されている。

従来のコンタクトホールの形成は第2図に示すように半導体基板、例えばシリコン基板上のワード線1を覆うシリコン酸化膜2上にレジスト3を塗布し(第2図a)、レジスト3を縮小投影型露光機(ステッパー)で露光した後、有機溶媒などで現像除去し(第2図b)、レジスト3をマスクにシリコン酸化膜をフルオロカーボンプラズマなどにより異方的にエッチングし(第2図c)、レジストをO₂プラズマなどにより除去する(第2図d)ことにより行われている。

ここでコンタクトホール径は第2図(b)の工程でほぼ決定されてしまうので、微細コンタクトホールの形成には、レジストを微小寸法に露光現像することが必要である。つまりステッパーの解像度

は要求されるコンタクトホール径と同程度であることが必要である。

ステッパーの解像度は一般に $R = K \frac{\lambda}{NA}$ (R : ステッパーの解像度、 λ : 光源の波長、 NA : レンズの開口数、 K : レジストプロセスにより決定される係数、通常 0.8) で表わされるので、 $0.5 \mu\text{m}$ 径のレジストパターンを形成するには $NA = 0.5$ 程度の i 線ステッパー (波長 365 nm) または $NA = 0.4$ 程度の KrF エキシマレーザーステッパー (波長 248 nm) が必要とされている。

(発明が解決しようとする課題)

しかし以上述べた方法のうち i 線ステッパーでは $0.35 \mu\text{m}$ 径程度のレジストパターンを形成することはできないので、この目的とする微細コンタクトホールを形成できない。

また KrF エキシマレーザーステッパーでは、 $NA = 0.55$ 程度のレンズを用いることにより $0.35 \mu\text{m}$ 径程度のパターンを形成することは可能だが KrF エキシマレーザの寿命が 10^6 ショット程度と短いので量産には不向きであり、またエキシ

マレーザーステッパーの位置合わせ精度がコンタクトホール径と同程度の $0.3 \mu\text{m}$ であるのでパターンずれの危険性が高い。

この発明は例えば 16 Mb DRAM 以降の半導体記憶装置で必要とされる $0.5 \mu\text{m}$ 以下のコンタクトホール形成方法を提供することを目的とする。

(課題を解決するための手段)

この発明は微細コンタクトホール形成方法においてシリコン酸化膜上にポリシリコンを堆積してから目標とするコンタクトホール径よりも大きな寸法をもつレジストパターンを形成しこのレジストをマスクとしてポリシリコンをテーパー状にエッチングし、かつシリコン酸化膜を異方的にエッチングし、このテーパーを用いてコンタクトホールのエッチングを行なうようにしたものである。

(作用)

この方法によればポリシリコン膜厚とエッチング条件を組合せることにより $0.5 \mu\text{m}$ 以下の直径をもつコンタクトホールを既存の i 線ステッパーを利用して形成出来る。

(実施例)

第 1 図はこの発明の方法の一実施例を示す工程図である。

第 1 図において例えばシリコン基板であるウエハ上の配線、例えばワード線 1 を覆うシリコン酸化膜 2 上にポリシリコン 3 を堆積する (第 1 図 a)。次にレジスト 4 をポリシリコン層 3 の上に形成しそれを適当なマスクを用いて露光し現像する (第 1 図 b)。次にポリシリコン層 3 をテーパーエッチングする (第 1 図 c)。次にこのポリシリコン層 3 のテーパーを利用してシリコン酸化膜 2 を異方的にエッチングする (第 1 図 d)。そしてレジスト 4 を O_2 プラズマなどで除去する (第 1 図 e)。から構成されている。なお第 1 図 c と第 1 図 d の工程はフルオロカーボンプラズマを用いた同一エッチング条件で連続的に実行される。

堆積ポリシリコン層 3 (第 1 図 a) の膜厚 d_1 およびレジスト 4 (第 1 図 b) の寸法 ℓ_1 は、レジスト除去後のポリシリコンを除去する必要がある場合には、シリコン基板やシリコン酸化膜に対する

選択比が良好な条件で処理すればよい。このようなエッチングは、例えば圧力 350 m Torr 、エッチングガス $\text{HBr/He} = 100/100 \text{ SCCM}$ 、高周波電源周波数 13.56 MHz 、高周波電源力 250 W 、上部電極冷媒温度 40°C 、下部電極冷媒温度 40°C に設定した平行平板型エッチング装置で可能である。

目標とするコンタクトホール径 ℓ_2 (第 1 図 d) はエッチング条件に依存するし、 $\ell_1 = \ell_2 + 2d_1/\tan\theta$ を満足する。但し、 ℓ_1 はレジストマスクの径、 d_1 はポリシリコン層 3 の膜厚、 θ はテーパー角である。

例えば $\ell_2 = 0.35 \mu\text{m}$ のとき平行平板型のエッチング装置でエッチング条件を圧力 0.6 Torr 、エッチングガス $\text{Ar/CHF}_3/\text{CF}_4 = 800/20/20 \text{ SCCM}$ 、高周波電源周波数 380 kHz 、高周波電源電力 750 W 、電極間隔 9 mm 、上部電極冷媒温度 20°C 、下部電極冷媒温度 -20°C とすると、ポリシリコンのテーパー角 θ が 45° となるので $d_1 = 0.1 \mu\text{m}$ ならば $\ell_1 = 0.55 \mu\text{m}$ 、 $d_1 = 0.2 \mu\text{m}$ ならば $\ell_1 = 0.75 \mu\text{m}$ と設定すればよい。

同様に $\ell_2 = 0.35 \mu\text{m}$ のとき平行平板型のエッチング装置でエッチング条件を圧力 1.0 Torr、エッチングガス $\text{Ar}/\text{CHF}_3/\text{CF}_4 = 800/80/80$ 、高周波電源周波数 380 kHz、高周波電源電力 750 W、電極間隔 9 mm、上部電極冷媒温度 20℃、下部電極冷媒温度 -20℃ とすると、ポリシリコンのテーパ角 θ が 5° となるので $d_1 = 0.1 \mu\text{m}$ ならば $\ell_1 = 0.48 \mu\text{m}$ 、 $d_2 = 0.2 \mu\text{m}$ ならば $\ell_1 = 0.62 \mu\text{m}$ と設定すればよい。

本実施例ではポリシリコンを堆積した後第1図(b)以降の一連の工程を実行しているが、ポリシリコンにリン(P)などの不純物をドーピングした後第1図(b)以降の一連の工程を実行しても同様の効果を実現することが可能である。

(発明の効果)

以上詳細に説明したようにこの発明によれば、シリコン酸化膜上にポリシリコンを堆積した後目標とするコンタクト径より大きな寸法のレジストパターンを形成し、ポリシリコンをテーパ状にエッチングし、かつシリコン酸化膜を異方的にエ

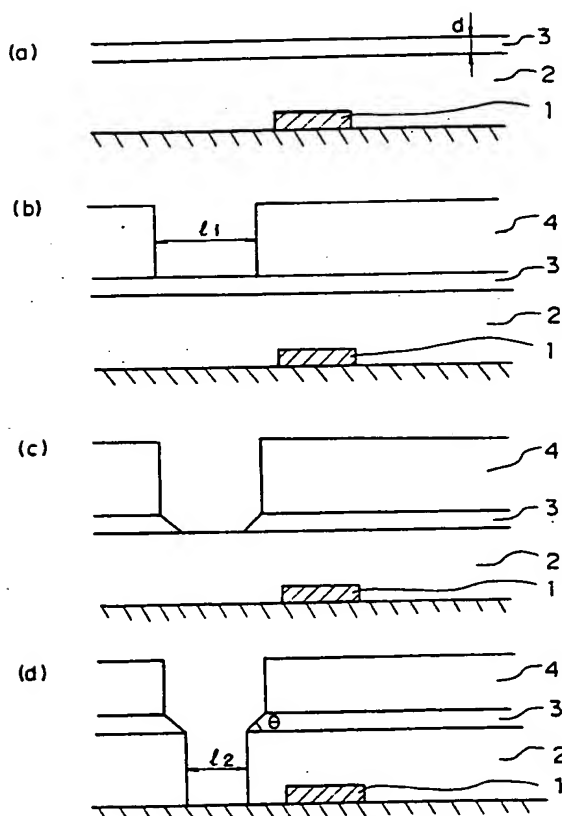
ッチングする条件でコンタクトホールのエッチングを行なうようにしたので、ポリシリコン膜厚とエッチング条件を組み合わせることにより、64 Mb DRAMなどの半導体記憶装置で要求されるハーフミクロン以下の径をもつコンタクトホールを既存のi線ステッパーを利用して形成することができる。

これにより KrF エキシマレーザーステッパーなどに付随する実用上の問題点を解決して、実用性の高いコンタクトホール形成プロセスを確立することが期待できる。

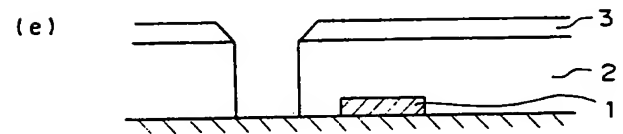
4. 図面の簡単な説明

第2図は従来のコンタクトホール形成方法を示す工程図第1図は本発明の方法を示す工程図である。

1…配線、2…シリコン酸化膜、3…ポリシリコン層、4…レジスト。

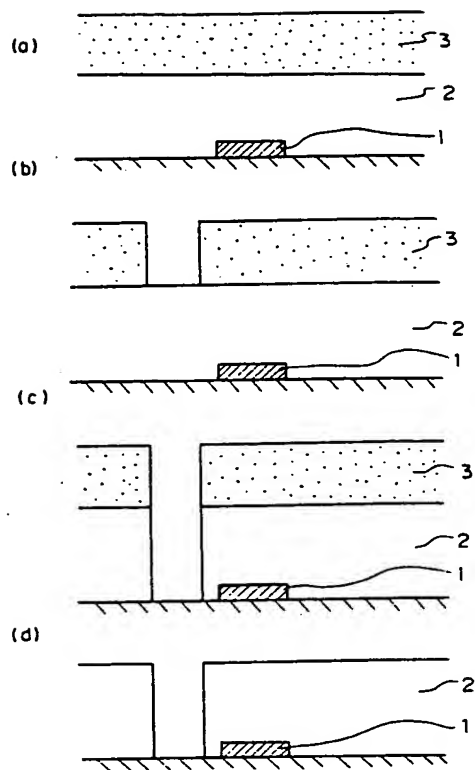


第1図(その1)



1: ワード線
2: シリコン酸化膜
3: ポリシリコン
4: レジスト

第1図(その2)



第 2 図